

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335179

(43) 公開日 平成10年(1998)12月18日

(51) IntCl. ⁸	識別記号	F I
H 0 1 G 4/33		H 0 1 G 4/06 1 0 2
4/30	3 0 1	4/30 3 0 1 D
		3 0 1 B

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21) 出願番号 特願平9-141757

(22) 出願日 平成9年(1997)5月30日

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 厚主 成生

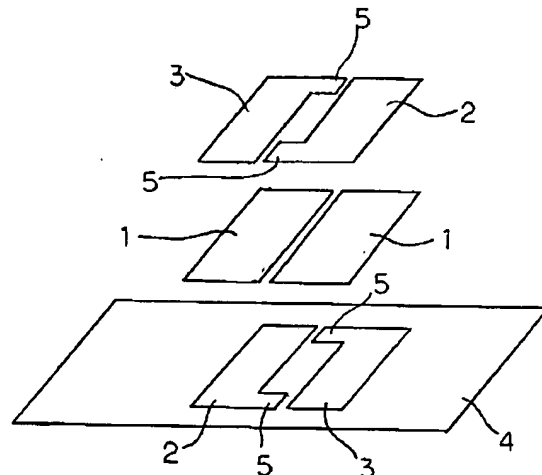
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(54) 【発明の名称】 薄膜コンデンサ

(57) 【要約】

【課題】実装が容易でかつ積層化が容易な低インダクタンス構造を有する薄膜コンデンサを提供する。

【解決手段】誘電体層1の上面に正電極層2を、下面に負電極層3を形成した第1容量素子Aと、誘電体層1の上面に負電極層3を、下面に正電極層2を形成した第2容量素子Bとを並置するとともに、第1容量素子Aと第2容量素子Bの正電極層2同士および負電極層3同士を、接続端子電極5を介してそれぞれ接続してなるものである。



【特許請求の範囲】

【請求項1】誘電体層の上面に第1電極層を、下面に第2電極層を形成した第1容量素子と、誘電体層の上面に第2電極層を、下面に第1電極層を形成した第2容量素子とを並置するとともに、前記第1容量素子と第2容量素子の第1電極層同士および第2電極層同士を、接続端子電極を介してそれぞれ接続してなることを特徴とする薄膜コンデンサ。

【請求項2】複数の電極層と複数の誘電体層とを交互に積層してなり、前記電極層が下側から交互に第1電極層または第2電極層とされた第1容量素子と、複数の電極層と複数の誘電体層とを交互に積層してなり、前記電極層が下側から交互に第2電極層または第1電極層とされた第2容量素子とを並置するとともに、前記第1容量素子と第2容量素子の第1電極層同士および第2電極層同士を、接続端子電極を介してそれぞれ接続してなることを特徴とする薄膜コンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜コンデンサに関する、例えば、高速動作する電気回路に配設され、高周波ノイズのバイパス用、もしくは電源電圧の変動防止用に供される、大容量、低インダクタンスの薄膜コンデンサに関するものである。

【0002】

【従来の技術】近年においては、電子機器の小型化、高機能化に伴い、電子機器内に設置される電子部品にも小型化、薄型化、高周波対応などの要求が強くなってきている。

【0003】特に大量の情報を高速に処理する必要があるコンピュータの高速デジタル回路では、パーソナルコンピュータレベルにおいても、CPUチップ内のクロック周波数は100MHzから数百MHz、チップ間バスのクロック周波数も30MHzから75MHzと高速化が顕著である。

【0004】また、LSIの集積度が高まりチップ内の素子数の増大につれ、消費電力を抑えるために電源電圧は低下の傾向にある。これらIC回路の高速化、高密度化、低電圧化に伴い、コンデンサ等の受動部品も小型大容量化と併せて、高周波もしくは高速パルスに対して優れた特性を示すことが必須になってきている。

【0005】コンデンサを小型高容量にするためには一対の電極に挟持された誘電体を薄くし、薄膜化することが最も有効である。薄膜化は上述した電圧の低下の傾向にも適合している。

【0006】一方、IC回路の高速動作に伴う諸問題は各素子の小型化よりも一層深刻な問題である。このうち、コンデンサの役割である高周波ノイズの除去機能において特に重要となるのは、論理回路の同時切り替えが同時に発生したときに生ずる電源電圧の瞬間的な低下

を、コンデンサに蓄積されたエネルギーを瞬時に供給することにより低減する機能である。いわゆるデカップリングコンデンサである。

【0007】デカップリングコンデンサに要求される性能は、クロック周波数よりも速い負荷部の電流変動に対して、いかにすばやく電流を供給できるかにある。従って、100MHzから1GHzにおける周波数領域に対してコンデンサとして確実に機能しなければならない。

【0008】しかし、実際のコンデンサ素子は静電容量成分の他に、抵抗成分、インダクタンス成分を持つ。容量成分のインピーダンスは周波数増加とともに減少し、インダクタンス成分は周波数の増加とともに増大する。このため、動作周波数が高くなるにつれ、素子の持つインダクタンスが供給すべき過渡電流を制限し、ロジック回路側の電源電圧の瞬時低下、または新たな電圧ノイズを発生させる。結果として、ロジック回路上のエラーを引き起こす。

【0009】特に最近のLSIは素子数の増大による消費電力増大を抑えるために電源電圧は低下しており、電源電圧の許容変動幅も小さくなっている。従って、高速動作時の電圧変動幅を最小に抑えるため、デカップリングコンデンサ素子自身の持つインダクタンスを減少させることが非常に重要である。

【0010】インダクタンスを減少させる方法は3つある。第1は電流経路の長さを最小にする方法、第2は電流経路をループ構造としループ断面積を最小にする方法、第3は電流経路をn個に分配して実効的なインダクタンスを1/nにする方法である。

【0011】第1の方法は、単位面積あたりの容量を増加させて小型化を図ればよく、コンデンサ素子を薄膜化することにより達成できる。大容量で高周波特性の良好なコンデンサを得る目的で、特開昭60-94716号公報には誘電体厚さを1μm以下に薄膜化したものが開示されている。

【0012】第2の方法は、一本の電流経路が形成する磁場を、近接する別の電流経路が形成する磁場により相殺低減する効果であるから、コンデンサを形成する一対の電極板、または電極層に流れる電流の向きをできるだけ同一方向にしないようにすればよい。

【0013】第3の方法では、分割したコンデンサを並列接続することによって低インダクタンス化を図れる。このようなコンデンサとして、特開平4-211191号公報に薄膜誘電体層を利用したものが開示されている。

【0014】

【発明が解決しようとする課題】しかしながら、所望の場所に実装できるデカップリングコンデンサを考えた場合、ハンドリング可能な寸法として0.5mm×0.5mm程度以上が必要であり、第1の薄膜、小型化の方法のみでインダクタンスを低減するには限界があった。

【0015】また、第2の方法では正負の端子電極を同一端面か、直交方向にする必要があり、実装上不利となる。

【0016】第3の分割並列接続の方法では、基板内蔵型では有利な手段となるが、実装の自由度はない。また、通常の積層型コンデンサも並列接続であるが、電流の向きが同一方向であるため、各電極電流が形成する磁場が重畳される。つまり相互インダクタンスが大きくなるため、実効的な全インダクタンスを十分に低減することはできなかった。従って、第2の手段を併せて採用する必要があるが、上述したとおり、端子電極の問題により実装上の問題があった。

【0017】本発明は、実装が容易でかつ積層化が容易な低インダクタンス構造を有する薄膜コンデンサを提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の薄膜コンデンサは、誘電体層の上面に第1電極層を、下面に第2電極層を形成した第1容量素子と、誘電体層の上面に第2電極層を、下面に第1電極層を形成した第2容量素子とを並置するとともに、前記第1容量素子と第2容量素子の第1電極層同士および第2電極層同士を、接続端子電極を介してそれぞれ接続してなるものである。

【0019】また、複数の電極層と複数の誘電体層とを交互に積層してなり、前記電極層が下側から交互に第1電極層または第2電極層とされた第1容量素子と、複数の電極層と複数の誘電体層とを交互に積層してなり、前記電極層が下側から交互に第2電極層または第1電極層とされた第2容量素子とを並置するとともに、前記第1容量素子と第2容量素子の第1電極層同士および第2電極層同士を、接続端子電極を介してそれぞれ接続してなるものである。

【0020】

【作用】本発明の薄膜コンデンサでは、一対の容量素子を所定間隔を置いて並置しているため、一対の容量素子には、同一平面内に第1電極層（例えば正電極層）および第2電極層（例えば負電極層）が形成されることになり、これらの正電極層および負電極層の間隔を接近させて形成することができるので、電流経路が短くなり、インダクタンスを小さくすることができる。

【0021】また、個々の容量素子の正電極層と負電極層を流れる電流の方向が逆方向となるため、発生するインダクタンスが打ち消しあって小さくすることができる。

【0022】さらに、各電極層はその対向面に形成されている接続端子電極において接続することができるので、積層化が容易となる。外部との接点に用いる外部端子電極は、最上層の電極層上に形成することができるので、実装が容易となる。

【0023】

【発明の実施の形態】本発明の単板型の薄膜コンデンサは、誘電体層の上下面に正電極層および負電極層を形成してなる一対の容量素子を所定間隔を置いて対向配置するとともに、一対の容量素子の対向する位置に形成された電極層が異なる極性の電極層とされており、さらに一対の容量素子の正電極層および負電極層に、それぞれ対向する容量素子に向けて突出する接続端子電極が形成され、一対の容量素子において極性が同じ電極層の接続端子電極同士を接続してなるものである。

【0024】また、本発明の積層型の薄膜コンデンサは、複数の電極層と複数の誘電体層とを交互に積層してなる一対の容量素子を所定間隔を置いて対向配置するとともに、電極層が積層方向に交互に正電極層または負電極層とされ、かつ一対の容量素子の対向する位置に形成された電極層が異なる極性の電極層とされており、さらに一対の容量素子の正電極層および負電極層に、それぞれ対向する容量素子に向けて突出する接続端子電極が形成され、一対の容量素子において極性が同じ電極層の接続端子電極同士を接続してなるものである。

【0025】本発明の単板型タイプの薄膜コンデンサは、図1乃至図3に示すように、誘電体層1の上下面に正電極層2（第1電極層）および負電極層3（第2電極層）を形成してなる一対の容量素子A、Bが対向して並置されている。一対の容量素子A、Bの対向する位置に形成された電極層は異なる極性の電極層とされている。

【0026】容量素子A、Bは、基板4の上面に形成されている。

【0027】即ち、容量素子Aは、誘電体層1の下面に正電極層2が、上面に負電極層3が形成されており、容量素子Bは、誘電体層1の下面に負電極層3が、上面に正電極層2が形成されている。そして、容量素子A、Bが所定間隔を置いて並置されており、容量素子Aの正電極層2と同一平面には容量素子Bの負電極層3が、容量素子Aの負電極層3と同一平面には容量素子Bの正電極層2が形成されることになる。

【0028】正電極層2および負電極層3は、図4に示すように、長方形とされ、誘電体層1は、この誘電体層1の下面に形成された正電極層2または負電極層3を被覆するような大きさの長方形とされている。誘電体層1同士は、所定間隔を置いて離間されている。誘電体層1の上面に形成された正電極層2または負電極層3は、誘電体層1の下面に形成された正電極層2または負電極層3と同一形状、同一寸法とされている。

【0029】誘電体層1の厚みは、0.1～1μm、大きさは、縦1.2mm、横1.2mmの大きさとされ、電極層2、3の厚みは、0.1～1μm、大きさは、縦1.0mm、横0.3mmの大きさとされている。

【0030】そして、一対の容量素子A、Bの正電極層2および負電極層3には、それぞれ対向する容量素子A、Bに向けて突出する接続端子電極5が形成され、極

性が同じ電極層2、3の接続端子電極5同士が接続されている。

【0031】正電極層2同士が接続された正電極接続部7と、負電極層3同士が接続された負電極接続部8とは所定間隔を置いて離間され、これにより絶縁されている。この正電極接続部7と負電極接続部8との間に、誘電体層1と同一材料を充填しても良い。この場合には、一対の容量素子A、Bの誘電体層1が連結され、平面的に見るとH形状とされる。正電極層2および負電極層3の間であって、正電極接続部7と負電極接続部8との間に該当する部分にも、誘電体層1と同一材料を充填しても良い。

【0032】本発明の薄膜コンデンサは、図示しないが、外部電極端子が、例えば、容量素子A、Bに最外表面に形成された正電極層2および負電極層3にハンダ等により接続され、これにより容量が取り出される。

【0033】本発明で用いられる基板4としては、アルミナ、サファイア、MgO単結晶、SrTiO₃単結晶、チタン被覆シリコン、または銅(Cu)、ニッケル(Ni)、チタン(Ti)、スズ(Sn)、ステンレススチール(SUS)薄膜もしくは薄板が望ましい。特に、薄膜との反応性が小さく、安価で強度が大きく、かつ誘電体膜または電極膜の結晶性という点からアルミナ、サファイアが望ましく、高周波領域における低抵抗化の点で銅(Cu)薄板または銅(Cu)薄膜が望ましい。

【0034】また、本発明の電極層は、白金(Pt)、金(Au)、パラジウム(Pd)、銅(Cu)薄膜等があり、これらのうちでも白金(Pt)と金(Au)薄膜や低抵抗の銅(Cu)薄膜が最適である。Pt、Auは誘電体との反応性が小さく、また酸化されにくい為、誘電体との界面に低誘電率相が形成されにくい為である。

【0035】さらに、誘電体層は、高周波領域において高誘電率を有するものであれば良いが、その膜厚は1μm以下が望ましい。また、誘電体層は、例えば、金属元素としてPb、Mg、Nbを含むペロブスカイト型複合酸化物結晶からなる誘電体薄膜であって、測定周波数300MHz(室温)での比誘電率が1000以上の誘電体薄膜が望ましい。尚、本発明においてはPb、Mg、Nbを含むペロブスカイト型複合酸化物結晶からなる誘電体薄膜以外の、例えば、Ba、Tiを含むペロブスカイト型複合酸化物結晶、PZT、PLZT、SrTiO₃、Ta₂O₅等でも良く、特に限定されるものではない。このような誘電体層は、PVD法、CVD法、ゾルゲル法等の公知の方法により作製される。

【0036】以上のように構成された薄膜コンデンサでは、一対の容量素子A、Bが対向して形成されているため、一対の容量素子A、Bには、同一平面内には正電極層2および負電極層3が所定間隔を置いて形成されることになり、これらの正電極層2および負電極層3の間隔

を接近させて形成することができるので、電流経路が短くなり、インダクタンスを小さくすることができる。

【0037】また、個々の容量素子における正電極層2および負電極層3を流れる電流の方向が逆方向となるため、各正電極層2および負電極層3でインダクタンスが打ち消しあい、発生するインダクタンスを小さくすることができる。

【0038】また、外部との接点に用いる外部端子電極は、最上層の電極層2、3上に形成することができるので、実装が容易となる。

【0039】本発明の積層タイプの薄膜コンデンサを図5により説明する。この図5によれば、図1に示した単板型タイプの薄膜コンデンサに対して、さらに誘電体層と電極層を積層したものである。

【0040】即ち、電極層2、3と誘電体層1を交互に積層してなる一対の容量素子A、Bを並置し、これらの容量素子A、Bでは、電極層2、3が積層方向に交互に正電極層2および負電極層3とされている。一対の容量素子A、Bの対向する位置に形成された電極層2、3は異なる極性の電極層2、3とされており、一対の容量素子A、Bの正電極層2および負電極層3には、それぞれ対向する容量素子A、Bに向けて突出する接続端子電極5が形成されている。極性が同じ電極層2、3の接続端子電極5同士は電氣的に接続されている。

【0041】本発明の薄膜コンデンサは、一般には、上記のように、基板表面に形成されて用いられるが、基板内に内蔵して用いることもできる。基板内に内蔵する場合には、外部電極端子は、例えば、基板内に形成されたスルーホール導体とされ、これにより容量が取り出される。

【0042】また、電極層2、3の形状を長方形とした例について説明したが、正方形、円形状等どのような形状であっても良い。

【0043】尚、上記に示した本発明の薄膜コンデンサを複数個連結させて用いても良い。

【0044】このような場合には、電流経路がn個に分配され、実効的なインダクタンスはさらに1/n倍となる。このような薄膜コンデンサを基板内に内蔵しても良い。

【0045】

【実施例】

実施例1

電極層及び誘電体層の形成は全て高周波マグネトロンスパッタ法を用いた。スパッタ用ガスとしてプロセスチャンバー内にArガスを導入し、真空排気により圧力は6.7Paに維持した。

【0046】プロセスチャンバー内には基板ホルダーと3個のターゲットホルダーが設置され、3種類のターゲット材料からのスパッタが可能である。スパッタ時には成膜する材料種のターゲット位置に基板ホルダーを移動

させ、基板ターゲット間距離は60mmに固定した。

【0047】基板ホルダーとターゲット間には外部の高周波電源により13.56MHzの高周波電圧を印可し、ターゲット背面に設置された永久磁石により形成されたマグネトロン磁界により、ターゲット近傍に高密度のプラズマを生成させてターゲット表面のスパッタを行った。

【0048】高周波電圧の印可は3個のターゲットに独立に可能であり、本実施例では基板に最近接のターゲットにのみ印可してプラズマを生成した。基板ホルダーはヒータによる加熱機構を有しており、スパッタ成膜中の基板温度は一定となるよう制御した。

【0049】また、基板ホルダーに設置された基板のターゲット側には厚さ0.05mmの金属マスクが3種類設置されており、成膜パターンに応じて必要なマスクが基板成膜面にセットできる構造とした。

【0050】まず、厚さ0.25mmのアルミナ焼結体基板上に第1のマスクパターンで白金ターゲットのスパッタにより、図4(a)に示すような接続端子電極を有する一対の電極層を形成し、続いてターゲットにPb(Mg_{1/3}Nb_{2/3})O₃焼結体を用い、第2のマスクパターンをセットし、基板温度535℃、高周波電力200Wの条件で、図4(b)に示すような接続端子電極を有する一対の誘電体層を形成した。次に第3のマスクパターンをセットし、白金ターゲットのスパッタにより図4(c)に示すような一対の電極層を形成した。電極層の外形部の面積は0.6mm²とした。

【0051】作製した積層型薄膜コンデンサの1MHzから1.8GHzでのインピーダンス特性を、インピーダンスアナライザー(ヒューレットパッカード社製HP4291A)を用いて測定した結果、容量成分は12.5nF、インダクタンス成分150pHの値を得た。また上記測定後、薄膜コンデンサの断面をSEM観察したところ、各誘電体層の厚さは0.3μmであった。

【0052】尚、比較例として、図6に示すような、従来の一般的な薄膜コンデンサの構造とする以外、例えば電極層の面積等の条件を上記と同様にして作製し、容量成分とインダクタンス成分を測定したところ、容量成分は12.6nF、インダクタンス成分380pHの値を得た。尚、図6において、従来の薄膜コンデンサは、基板20の上面に正電極層21、誘電体層22、負電極層23を順次積層して構成され、正電極層21、負電極層23には反対側に容量取出部24が形成されている。

【0053】実施例2

実施例1と全く同様にして誘電体10層の積層薄膜コンデンサを作製し、実施例1と同様の方法で評価したところ、容量成分は126.1nF、インダクタンス成分140pHの値を得た。また上記測定後、積層型薄膜コンデンサの断面SEM観察したところ、各誘電体層の厚さは0.3μmであった。

【0054】実施例3

基板材、電極材、電極形成方法、形状、及び寸法は実施例1と全く同様にして、誘電体膜のみをゾルゲル法により形成した。ゾルゲル法による膜の作製手順は以下のとおりとした。

【0055】酢酸MgとNbエトキシドを1:2のモル比で秤量し、2-メトキシエタノール中で還流操作(124℃で24時間)を行い、MgNb複合アルコキシド溶液(Mg=4.95mmol、Nb10.05mmol、2-メトキシエタノール150mmol)を合成した。次に酢酸鉛(無水物)15mmolと150mmolの2-メトキシエタノールを混合し、120℃での蒸留操作により、Pb前駆体溶液を合成した。

【0056】MgNb前駆体溶液とPb前駆体溶液をモル比Pb:(Mg+Nb)=1:1になるよう混合し、室温で十分攪拌し、Pb(Mg_{1/3}Nb_{2/3})O₃(PMN)前駆体溶液を合成した。

【0057】この溶液の濃度を2-メトキシエタノールで約3倍に希釈し、塗布溶液とした。次に電極層上に、前記塗布溶液をスピンコーターで塗布し、乾燥させた後、300℃で熱処理を1分間行い、ゲル膜を作製した。塗布溶液の塗布-熱処理の操作を繰り返した後、830℃で1分間(大気中)の焼成を行い、Pb(Mg_{1/3}Nb_{2/3})O₃薄膜を得た。

【0058】得られた上記誘電体薄膜の上にレジストを塗布しフォトリソグラフィ工程によって露光、現像し、これをマスクとするウェットエッチングにより、実施例1と同様のパターン形状に誘電体膜のパターニングを行い、実施例1と同様の薄膜コンデンサを作製した。

【0059】作製した積層型薄膜コンデンサの1MHzから1.8GHzでのインピーダンス特性を、インピーダンスアナライザー(ヒューレットパッカード社製HP4291A)を用いて測定した。その結果、容量成分は50.2nF、インダクタンス成分160pHの値を得た。また上記測定後、積層薄膜コンデンサの断面SEM観察したところ、各誘電体層の厚さは0.5μmであった。

【0060】

【発明の効果】以上詳述した様に、本発明の薄膜コンデンサでは、同一平面内に第1電極層(正電極層)と第2電極層(負電極層)を形成しているため、これらの正電極層と負電極層の間隔を接近させて形成することができ、電流経路が短くなり、インダクタンスを小さくすることができる。また、各電極層は接続端子電極において接続することができるので、積層化が容易となる。さらに、外部との接点に用いる外部端子電極は、最上層の電極層上に形成することができるので、実装が容易となる。従って、本発明によれば、積層化および実装が容易な、低インダクタンスの薄膜コンデンサを提供することができる。

【図面の簡単な説明】

【図1】本発明の薄膜コンデンサを示す分解斜視図である。

【図2】本発明の薄膜コンデンサの平面図である。

【図3】図2の正電極接続部近傍の側面図である。

【図4】電極層と誘電体層を示す平面図である。

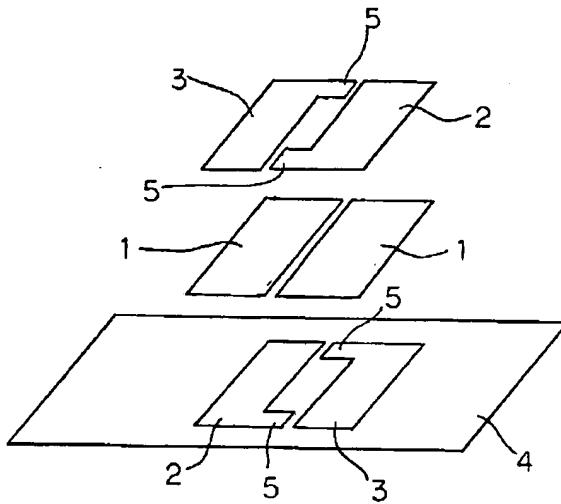
【図5】積層タイプの薄膜コンデンサを示す分解斜視図である。

【図6】従来の薄膜コンデンサを示す分解斜視図である。

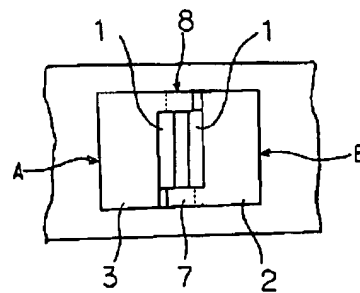
【符号の説明】

- 1・・・誘電体層
- 2・・・正電極層（第1電極層）
- 3・・・負電極層（第2電極層）
- 4・・・基板
- 5・・・接続端子電極
- A、B・・・容量素子
- 7・・・正電極接続部
- 8・・・負電極接続部

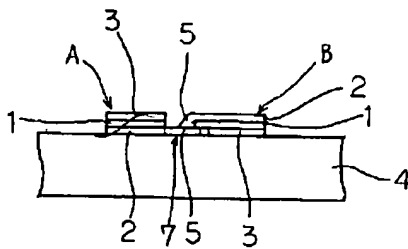
【図1】



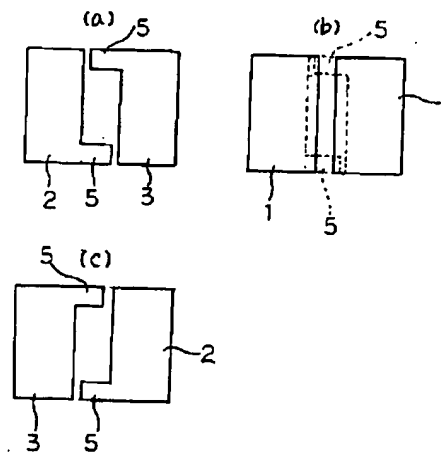
【図2】



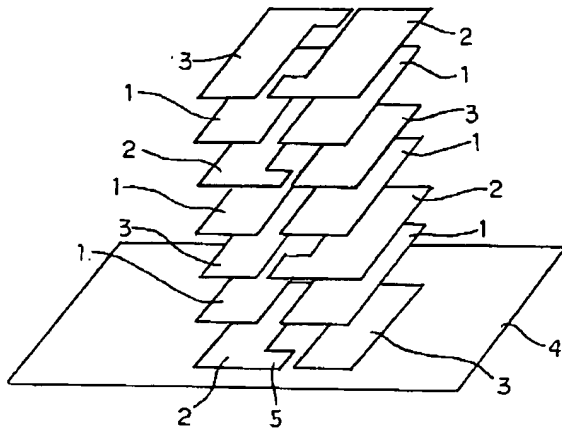
【図3】



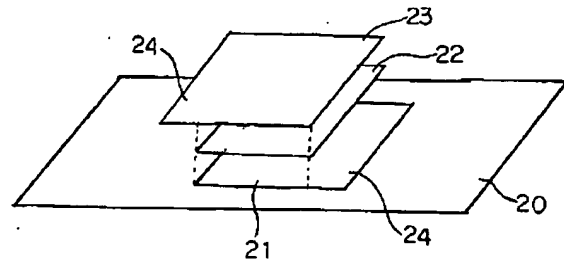
【図4】



【図5】



【図6】



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is arranged in the electrical circuit which carries out high-speed operation, concerning a thin film capacitor, and relates to the large capacity and the thin film capacitor of a low inductance with which the object for the bypass of a high frequency noise or fluctuation prevention of supply voltage is presented.

[0002]

[Description of the Prior Art] In recent years, the demand corresponding to a miniaturization, thin-shape-izing, and a RF etc. is becoming strong with the miniaturization of electronic equipment, and advanced features also at the electronic parts installed in electronic equipment.

[0003] The clock frequency of 100MHz to hundreds of MHz and the bus between chips also has [the clock frequency in a CPU chip] 30 to 75MHz, and improvement in the speed remarkable also in personal computer level in the high-speed digital circuit of a computer with the need of processing a lot of information at a high speed especially.

[0004] Moreover, in order for the degree of integration of LSI to increase and to stop power consumption along with increase of the element number in a chip, supply voltage is in the inclination of a fall. It is becoming indispensable with improvement in the speed of these IC circuit, densification, and low-battery-izing that also combine passive components, such as a capacitor, with small large capacity-ization, and the property which was excellent to the RF or the high-speed pulse is shown.

[0005] In order to make a capacitor into small high capacity, it is most effective to make thin the dielectric pinched by the electrode of a pair and to thin-film-ize it. Thin film-ization conforms also to the inclination of a fall of the electrical potential difference mentioned above.

[0006] On the other hand, many problems in accordance with the high-speed operation of IC circuit are problems much more more serious than the miniaturization of each component. Among these, it is the function reduced by supplying the energy accumulated in the capacitor in the momentary fall of the supply voltage produced when, especially as for becoming important, the coincidence change of a logical circuit occurs in coincidence in the removal function of the RF noise which is the role of a capacitor in an instant. It is the so-called decoupling capacitor.

[0007] The engine performance required of a decoupling capacitor is to the current variation of the load section quicker than a clock frequency to be able to supply [how] a current quickly. Therefore, it must function from 100MHz certainly as a capacitor to the frequency domain in 1GHz.

[0008] However, an actual capacitor element has the resistance component and inductance component other than an electrostatic-capacity component. The impedance of a capacity component decreases with the increment in a frequency, and an inductance component increases with the increment in a frequency. For this reason, the transient current which the inductance which a component has should supply is restricted, and the instant fall of the supply voltage of a logic time road side or a new voltage

spike is generated as clock frequency becomes high. As a result, an error logic time on the street is caused.

[0009] In order that especially the latest LSI may suppress the power consumption increase by increase of the total element number, supply voltage is falling and the permission range of fluctuation of supply voltage is also small. Therefore, in order to hold down the electrical-potential-difference range of fluctuation at the time of high-speed operation to min, it is very important to decrease the inductance which the decoupling capacitor component itself has.

[0010] There are three methods of decreasing an inductance. They are the approach the 1st makes current path length min, the approach of the 2nd making a current path loop structure, and making loop disconnection area min, and the approach of the 3rd distributing a current path to n pieces, and setting an effectual inductance to $1/n$.

[0011] The 1st approach can be attained by thin-film-izing a capacitor element that what is necessary is to make the capacity per unit area increase and just to attain a miniaturization. What thin-film-ized dielectric thickness to 1 micrometer or less is indicated by JP,60-94716,A in order to obtain a capacitor with a good high frequency property with large capacity.

[0012] Since the 2nd approach is effectiveness which carries out offset reduction by the magnetic field in which approaching another current path forms the magnetic field which one current path forms, it should just be made not to carry out the sense of the current which flows in the electrode plate or electrode layer of the pair which forms a capacitor in the same direction as much as possible.

[0013] By the 3rd approach, low inductance-ization can be attained by carrying out parallel connection of the divided capacitor. As such a capacitor, what used the thin film dielectric layer for JP,4-211191,A is indicated.

[0014]

[Problem(s) to be Solved by the Invention] However, when the decoupling capacitor which can be mounted in a desired location was considered, beyond about 0.5mmx0.5mm is required as a dimension which can be handled, and there was a limitation in reducing an inductance only by the 1st thin film and the approach of a miniaturization.

[0015] Moreover, it is necessary to carry out the terminal electrode of positive/negative in the same end face and the rectangular direction, and becomes disadvantageous on mounting by the 2nd approach.

[0016] Although it becomes an advantageous means in substrate built-in by the approach of the 3rd division parallel connection, there is no degree of freedom of mounting. Moreover, although the usual stacked capacitor is also parallel connection, since the sense of a current is the same direction, it is superimposed on the magnetic field which each electrode current forms. That is, since a mutual inductance became large, an effectual total inductance was not fully able to be reduced. Therefore, although the 2nd means needed to be adopted collectively, there was a problem on mounting according to the problem of a terminal electrode as mentioned above.

[0017] Mounting aims this invention at offering the thin film capacitor which has easy low inductance structure with easy lamination.

[0018]

[Means for Solving the Problem] While the thin film capacitor of this invention juxtaposes the 1st capacitive element by which the 1st electrode layer was formed in the top face of a dielectric layer, and it formed the 2nd electrode layer in the inferior surface of tongue, and the 2nd capacitive element which formed the 2nd electrode layer in the top face of a dielectric layer, and formed the 1st electrode layer in the inferior surface of tongue It comes to connect the 1st electrode layers and the 2nd electrode layers of said 1st capacitive element and 2nd capacitive element through a connection terminal electrode, respectively.

[0019] Moreover, the 1st capacitive element which comes to carry out the laminating of two or more

electrode layers and two or more dielectric layers by turns and by which said electrode layer was used by turns as the 1st electrode layer or the 2nd electrode layer from the bottom, While juxtaposing the 2nd capacitive element which comes to carry out the laminating of two or more electrode layers and two or more dielectric layers by turns and by which said electrode layer was used by turns as the 2nd electrode layer or the 1st electrode layer from the bottom It comes to connect the 1st electrode layers and the 2nd electrode layers of said 1st capacitive element and 2nd capacitive element through a connection terminal electrode, respectively.

[0020]

[Function] In the thin film capacitor of this invention, since predetermined spacing is kept, the capacitive element of a pair is juxtaposed, the 1st electrode layer (for example, positive electrode layer) and the 2nd electrode layer (for example, negative electrode layer) will be formed in the same flat surface, the capacitive element of a pair can be made to be able to approach and spacing of these positive electrode layers and a negative electrode layer can be formed in it, a current path becomes short and can make an inductance small.

[0021] Moreover, since the direction of the flowing current turns into hard flow, an inductance to generate denies, there is and it can make small each positive electrode layer and negative electrode layer of a capacitive element.

[0022] Furthermore, since each electrode layer is connectable in the connection terminal electrode currently formed in the opposed face, lamination becomes easy. Since the external terminal electrode used for a contact with the exterior can be formed on the electrode layer of the maximum upper layer, it becomes easy to mount it.

[0023]

[Embodiment of the Invention] While keeping predetermined spacing and carrying out opposite arrangement, the thin film capacitor of the veneer mold of this invention the capacitive element of the pair which comes to form a positive electrode layer and a negative electrode layer in the vertical side of a dielectric layer It considers as the polar electrode layer from which the electrode layer formed in the location where the capacitive element of a pair counters differs. The connection terminal electrode which furthermore projects towards the capacitive element which counters the positive electrode layer and negative electrode layer of a capacitive element of a pair, respectively is formed, and it comes to connect the connection terminal electrodes of the electrode layer with the same polarity in the capacitive element of a pair.

[0024] Moreover, while keeping predetermined spacing and carrying out opposite arrangement, the thin film capacitor of the laminating mold of this invention the capacitive element of the pair which comes to carry out the laminating of two or more electrode layers and two or more dielectric layers by turns It considers as the polar electrode layer from which the electrode layer formed in the location where an electrode layer is used as a positive electrode layer or a negative electrode layer by turns in the direction of a laminating, and the capacitive element of a pair counters differs. The connection terminal electrode which furthermore projects towards the capacitive element which counters the positive electrode layer and negative electrode layer of a capacitive element of a pair, respectively is formed, and it comes to connect the connection terminal electrodes of the electrode layer with the same polarity in the capacitive element of a pair.

[0025] The capacitive elements A and B of a pair which form the positive electrode layer 2 (the 1st electrode layer) and the negative electrode layer 3 (the 2nd electrode layer) in the vertical side of a dielectric layer 1, and become counter, and the veneer mold type thin film capacitor of this invention is juxtaposed, as shown in drawing 1 thru/or drawing 3 . Let the electrode layer formed in the location where the capacitive elements A and B of a pair counter be a different polar electrode layer.

[0026] Capacitive elements A and B are formed in the top face of a substrate 4.

[0027] Namely, the positive electrode layer 2 is formed in the inferior surface of tongue of a dielectric

layer 1, the negative electrode layer 3 is formed in the top face, the negative electrode layer 3 is formed in the inferior surface of tongue of a dielectric layer 1, and, as for the capacitive element A, the positive electrode layer 2 is formed in the top face, as for the capacitive element B. And capacitive elements A and B keep predetermined spacing, and are juxtaposed, the negative electrode layer 3 of a capacitive element B will be formed in the same flat surface as the positive electrode layer 2 of a capacitive element A, and the positive electrode layer 2 of a capacitive element B will be formed in the same flat surface as the negative electrode layer 3 of a capacitive element A.

[0028] As the positive electrode layer 2 and the negative electrode layer 3 are shown in drawing 4, it considers as the shape of a rectangle and the dielectric layer 1 is made into the shape of a rectangle of magnitude which covers the positive electrode layer 2 or the negative electrode layer 3 formed in the inferior surface of tongue of this dielectric layer 1. Dielectric layer 1 comrades keep predetermined spacing, and are estranged. Let the positive electrode layer 2 or the negative electrode layer 3 formed in the top face of a dielectric layer 1 be the same configuration as the positive electrode layer 2 or the negative electrode layer 3 formed in the inferior surface of tongue of a dielectric layer 1, and the same dimension.

[0029] Thickness of a dielectric layer 1 is set to 0.1-1 micrometer, and magnitude is made into 1.2mm long and 1.2mm wide magnitude, and thickness of the electrode layers 2 and 3 is set to 0.1-1 micrometer, and let magnitude be 1.0mm long and 0.3mm wide magnitude.

[0030] And the connection terminal electrode 5 which projects towards the capacitive elements A and B which counter, respectively is formed in the positive electrode layer 2 and the negative electrode layer 3 of capacitive elements A and B of a pair, and connection terminal electrode 5 comrades of the electrode layers 2 and 3 with the same polarity are connected to them.

[0031] The positive electrode connection 7 to which positive electrode layer 2 comrades were connected, and the negative electrode connection 8 to which negative electrode layer 3 comrades were connected keep predetermined spacing, are estranged, and, thereby, are insulated. It may be filled up with the same ingredient as a dielectric layer 1 between this positive electrode connection 7 and the negative electrode connection 8. In this case, the dielectric layer 1 of the capacitive elements A and B of a pair is connected, and if it sees superficially, it will consider as H configuration. It is between the positive electrode layer 2 and the negative electrode layer 3, and the part which corresponds between the positive electrode connection 7 and the negative electrode connection 8 may also be filled up with the same ingredient as a dielectric layer 1.

[0032] Although the thin film capacitor of this invention is not illustrated, an external electrode terminal is connected to the positive electrode layer 2 and the negative electrode layer 3 which were formed in the outermost front face at capacitive elements A and B by the pewter etc., and, thereby, capacity is taken out.

[0033] As a substrate 4 used by this invention, it is an alumina, sapphire, a MgO single crystal, and SrTiO₃. A single crystal, titanium covering silicon or copper (Cu), nickel (nickel), titanium (Ti), tin (Sn), a stainless steel (SUS) thin film, or sheet metal is desirable. Reactivity with a thin film is small especially, it is cheap, and reinforcement is large, and an alumina and sapphire are desirable from the point of the crystallinity of a dielectric film or an electrode layer, and copper (Cu) sheet metal or a copper (Cu) thin film is desirable in respect of the reduction in resistance in a RF field.

[0034] moreover, the electrode layer of this invention -- platinum (Pt), gold (Au), palladium (Pd), a copper (Cu) thin film, etc. -- it is -- among these -- also coming out -- platinum (Pt), a golden (Au) thin film, and the copper (Cu) thin film of low resistance are the optimal. Since reactivity with a dielectric is small and cannot oxidize easily, Pt and Au are because a low dielectric constant phase is hard to be formed in an interface with a dielectric.

[0035] Furthermore, be [what is necessary / just although a dielectric layer has a high dielectric constant in a RF field], the thickness has desirable 1 micrometer or less. Moreover, a dielectric layer is

a dielectric thin film which consists of a perovskite mold multiple oxide crystal which contains Pb, Mg, and Nb as a metallic element, and its 1000 or more dielectric thin films are [300MHz / of test frequencies / (room temperature) specific inductive capacity] desirable. In addition, the perovskite mold multiple oxide crystal containing Ba(s) and Ti other than the dielectric thin film which consists of a perovskite mold multiple oxide crystal which contains Pb, Mg, and Nb in this invention, PZT, PLZT, SrTiO₃, and Ta₂O₅ grade are sufficient, and it is not limited especially. Such a dielectric layer is produced by well-known approaches, such as PVD, a CVD method, and a sol gel process.

[0036] In the thin film capacitor constituted as mentioned above, since the capacitive elements A and B of a pair counter and are formed, the positive electrode layer 2 and the negative electrode layer 3 will keep predetermined spacing, and will be formed in the same flat surface, the capacitive elements A and B of a pair can be made to be able to approach and spacing of these positive electrode layers 2 and the negative electrode layer 3 can be formed in them, a current path becomes short and can make an inductance small.

[0037] Moreover, since the direction of the current which flows each positive electrode layer 2 and negative electrode layer 3 in a capacitive element turns into hard flow, in each positive electrode layer 2 and the negative electrode layer 3, it denies, and an inductance can suit and can make small the inductance to generate.

[0038] Moreover, since the external terminal electrode used for a contact with the exterior can be formed on the electrode layer 2 of the maximum upper layer, and 3, it becomes easy to mount it.

[0039] Drawing 5 explains the laminating type thin film capacitor of this invention. According to this drawing 5, the laminating of a dielectric layer and the electrode layer is further carried out to the thin film capacitor of the veneer mold type shown in drawing 1.

[0040] Namely, the capacitive elements A and B of the pair which comes to carry out the laminating of the electrode layers 2 and 3 and the dielectric layer 1 by turns are juxtaposed, and let the electrode layers 2 and 3 by turns be the positive electrode layer 2 and the negative electrode layer 3 in the direction of a laminating in these capacitive elements A and B. The electrode layers 2 and 3 formed in the location where the capacitive elements A and B of a pair counter are used as different polar electrode layers 2 and 3, and the connection terminal electrode 5 which projects towards the capacitive elements A and B which counter, respectively is formed in the positive electrode layer 2 and the negative electrode layer 3 of capacitive elements A and B of a pair. Connection terminal electrode 5 comrades of the electrode layers 2 and 3 with the same polarity are connected electrically.

[0041] Generally, as mentioned above, although the thin film capacitor of this invention is formed in a substrate front face and used, it can also be built in and used into a substrate. the through hole where the external electrode terminal was formed for example, in the substrate when built in a substrate -- it considers as a conductor and, thereby, capacity is taken out.

[0042] Moreover, although the example which made the configuration of the electrode layers 2 and 3 the shape of a rectangle was explained, you may be what kind of configurations, such as the shape of a square, and a circle configuration.

[0043] In addition, two or more thin film capacitors of this invention shown above may be made to connect, and may be used.

[0044] In such a case, a current path is distributed to n pieces and an effectual inductance becomes 1/n more time. Such a thin film capacitor may be built in a substrate.

[0045]

[Example]

All formation of an example 1 electrode layer and a dielectric layer used the RF magnetron sputtering method. Ar gas was introduced in the process chamber as gas for spatters, and the pressure was maintained to 6.7Pa with evacuation.

[0046] In a process chamber, a substrate electrode holder and three target electrode holders are

installed, and the spatter from three kinds of target ingredients is possible. The substrate electrode holder was moved to the target location of the ingredient kind which forms membranes at the time of a spatter, and the distance between substrate-targets was fixed to 60mm.

[0047] Between the substrate electrode holder and the target, the seal of approval of the high-frequency voltage of 13.56MHz was carried out by the external RF generator, by the magnetron field formed with the permanent magnet installed in the target tooth back, the plasma of high density was made to generate near the target, and the spatter on the front face of a target was performed.

[0048] The seal of approval of high-frequency voltage was possible independently of three targets, and in this example, the seal of approval of it was carried out only to the target of the maximum contiguity in a substrate, and it generated the plasma. The substrate electrode holder has the heating device at a heater, and the substrate temperature under spatter membrane formation controlled it to become fixed.

[0049] Moreover, the metal mask with a thickness of 0.05mm is installed in the target side of the substrate installed in the substrate electrode holder three kinds, and it considered as the structure which a required mask can set to a substrate membrane formation side according to a membrane formation pattern.

[0050] On an alumina sintered compact substrate with a thickness of 0.25mm, with the 1st mask pattern first, by the spatter of a platinum target The electrode layer of the pair which has a connection terminal electrode as shown in drawing 4 (a) is formed. Then, it is Pb(Mg1 / 3 Nb 2/3) O3 to a target. Using the sintered compact, the 2nd mask pattern was set and the dielectric layer of the pair which has a connection terminal electrode as shown in drawing 4 (b) on condition that the substrate temperature of 535 degrees C and high-frequency power 200W was formed. Next, the 3rd mask pattern was set and the electrode layer of a pair as shown in drawing 4 (c) by the spatter of a platinum target was formed. The area of the appearance section of an electrode layer is 2 0.6mm. It carried out.

[0051] As a result of measuring a 1.8GHz impedance characteristic using an impedance analyzer (HP4291made from Hewlett Packard A) from 1MHz of the produced laminating mold thin film capacitor, the capacity component acquired the value of 12.5nF(s) and inductance component 150pH. Moreover, after the above-mentioned measurement, when SEM observation of the cross section of a thin film capacitor was carried out, each dielectric layer thickness was 0.3 micrometers.

[0052] In addition, when conditions, such as area of the electrode layer except considering as the structure of the conventional common thin film capacitor as shown in drawing 6 as an example of a comparison, were produced like the above and the capacity component and the inductance component were measured, the capacity component acquired the value of 12.6nF(s) and inductance component 380pH. In addition, in drawing 6 , the conventional thin film capacitor carries out the laminating of the positive electrode layer 21, a dielectric layer 22, and the negative electrode layer 23 one by one to the top face of a substrate 20, and is constituted, and the capacity fetch section 24 is formed in the opposite side at the positive electrode layer 21 and the negative electrode layer 23.

[0053] When the laminating thin film capacitor of ten layers of dielectrics was produced completely like example 2 example 1 and the same approach as an example 1 estimated, the capacity component acquired the value of 126.1nF(s) and inductance component 140pH. Moreover, after the above-mentioned measurement, when the laminating mold thin film capacitor carried out cross-section SEM observation, each dielectric layer thickness was 0.3 micrometers.

[0054] A three examples plate, electrode material, the electrode formation approach, the configuration, and the dimension formed only the dielectric film with the sol gel process completely like the example 1. The production procedure of the film by the sol gel process was carried out as follows.

[0055] Weighing capacity of an acetic acid Mg and the Nb ethoxide was carried out by the mole ratio of 1:2, reflux actuation (it is 24 hours at 124 degrees C) was performed in the 2-methoxyethanol, and the MgNb compound alkoxide solution (Mg=4.95mmol, Nb10.05mmol, 2-methoxyethanol 150mmol) was compounded. Next, the 2-methoxyethanol of lead acetate (anhydride) 15mmol and 150mmol(s)

was mixed, and Pb precursor solution was compounded by distillation actuation at 120 degrees C.

[0056] A MgNb precursor solution and Pb precursor solution are mixed so that it may be set to mole-ratio $Pb:(Mg+Nb)=1:1$, and it agitates enough at a room temperature, and is $Pb(Mg^{1/3}Nb^{2/3})O_3$. The precursor (PMN) solution was compounded.

[0057] The concentration of this solution was diluted with the 2-methoxyethanol about 3 times, and it considered as the spreading solution. Next, on the electrode layer, said spreading solution was applied by the spin coater, after making it dry, it heat-treated for 1 minute at 300 degrees C, and the gel film was produced. After repeating actuation of spreading-heat treatment of a spreading solution, baking for 1 minute (inside of atmospheric air) is performed at 830 degrees C, and it is $Pb(Mg^{1/3}Nb^{2/3})O_3$. The thin film was obtained.

[0058] The resist was applied on the obtained above-mentioned dielectric thin film, and negatives were exposed and developed according to the photolithography process, and by the wet etching which makes this a mask, patterning of a dielectric film was carried out to the same pattern configuration as an example 1, and the same thin layer capacitor as an example 1 was produced.

[0059] The 1.8GHz impedance characteristic was measured using the impedance analyzer (HP4291made from Hewlett Packard A) from 1MHz of the produced laminating mold thin film capacitor. Consequently, the capacity component acquired the value of 50.2nF(s) and inductance component 160pH. Moreover, after the above-mentioned measurement, when the laminating thin film capacitor carried out cross-section SEM observation, each dielectric layer thickness was 0.5 micrometers.

[0060]

[Effect of the Invention] Like, with the thin film capacitor of this invention, since [which was explained in full detail above] the 1st electrode layer (positive electrode layer) and the 2nd electrode layer (negative electrode layer) are formed in the same flat surface, spacing of these positive electrode layers and negative electrode layers can be made to be able to approach, it can form, a current path becomes short, and an inductance can be made small. Moreover, since each electrode layer is connectable in a connection terminal electrode, lamination becomes easy. Furthermore, since the external terminal electrode used for a contact with the exterior can be formed on the electrode layer of the maximum upper layer, it becomes easy to mount it. Therefore, according to this invention, lamination and mounting can offer the easy thin film capacitor of a low inductance.

[Translation done.]